

DRIVING SYSTEM FOR GAS DISCHARGE PANEL

Publication number: JP52150940

Publication date: 1977-12-15

Inventor: MORI TADATAMI; ISHIZAKI HIROSHI; MURASE KENJI

Applicant: FUJITSU LTD

Classification:

- international: *G09G3/28; H01J17/48; H04N5/66; H04N5/70;
G09G3/28; H01J17/48; H04N5/66; H04N5/70; (IPC1-7):
G06K15/18; H01J17/48; H04N5/66; H04N5/70*

- European:

Application number: JP19760068304 19760610

Priority number(s): JP19760068304 19760610

Report a data error here

Abstract of JP52150940

PURPOSE: To secure an assured erasion even for a large amount of property dispersion of the charging point as in the case of a large-size gas discharge panel, by increasing the erasion action margin with the driving waveform and timing applied to X and Y electrodes.

Data supplied from the **esp@cenet** database - Worldwide

①日本国特許庁
公開特許公報

① 特許出願公開
昭52—150940

⑤Int. Cl. ²	識別記号	⑥日本分類	庁内整理番号	④公開	昭和52年(1977)12月15日
G 06 K 15/18		97(7) B 4	2116—56	発明の数	1
H 01 J 17/48		97(5) F 3	6246—59	審査請求	未請求
H 04 N 5/66		99 G 5	7520—54		
H 04 N 5/70		101 E 0	7013—54		

(全 5 頁)

⑤ガス放電パネルの駆動方式

川崎市中原区上小田中1015番地
富士通株式会社内

②特 願 昭51—68304

⑦発 明 者 村瀬賢二

②出 願 昭51(1976)6月10日

川崎市中原区上小田中1015番地

⑦発 明 者 森忠民

富士通株式会社内

川崎市中原区上小田中1015番地

⑧出 願 人 富士通株式会社

富士通株式会社内

川崎市中原区上小田中1015番地

同

石崎洋之

⑨代 理 人 弁理士 玉蟲久五郎 外3名

明 細 書

1. 発明の名称 ガス放電パネルの駆動方式

2. 特許請求の範囲

サステインパルス印加して電極間の放電点に発生させた放電スポットを継続的に維持させ、消去パルス印加することにより前記放電スポットを消去するガス放電パネルの駆動方式に於いて、選択された放電点に立上りの緩いパルス印加し、次に全放電点に前記パルスと反対の極性の消去パルス印加して選択された放電点の消去を行なうことを特徴とするガス放電パネルの駆動方式。

3. 発明の詳細な説明

本発明は消去動作マージンの大きいガス放電パネルの駆動方式に関するものである。

低融点ガラス等の誘電体層を被覆した電極をネオン等の放電ガスを封入した空間に対面して設け、電極間の放電点に発生させた放電スポットにより表示を行なわせるガス放電パネルは、プラズマ・ディスプレイ・パネルの名称で知られているものである。

このようなガス放電パネルに於ける放電スポットは、書込パルスによつて発生した放電により壁電圧が形成されて、この壁電圧とサステインパルスとの電位差により継続的に発生するものであり、又消去パルスにより壁電圧が充分に形成されない状態として消去することができるものである。

第1図は従来駆動波形の一例を示すもので、第2図はガス放電パネルの電極説明図であつて、 X 電極 x_i ($i=1, 2, 3, \dots$) には維持電圧 V_s とそれより低い電圧 V_x との波高値を有するサステインパルス印加し、 Y 電極 y_j ($j=1, 2, 3, \dots$) には維持電圧 V_s のサステインパルス印加する。例えば X 電極 x_3 と Y 電極 y_2 との対向交点の放電点 a の放電スポットを消去する場合、 X 電極 x_3 に V_x 、 Y 電極 y_2 に V_y の電圧印加し、他の X, Y 電極には消去パルス E_x, E_y を有しない波形の電圧印加する。従つて放電点 a には V_a で示す電圧印加され、 V_s の電圧の消去パルス EP によつて消去が行なわれる。なお V_a は壁電圧を示すものである。

る。

このような消去パルス EP は、立上りが急峻であり、且つその消去パルスによつて一旦は放電スポットが生じるが壁電圧 V_q が形成されないような細幅のパルス又は波高値としなければならない。しかし、選択された放電点にのみ消去パルス EP を印加する為に抵抗ダイオード・マトリクス回路が通常用いられているので、その抵抗と放電点を含む電極の静電容量との時定数に対応したパルスの立上り特性となり、急峻な立上りのパルスを印加するのが容易でないものである。又大型のガス放電パネルで放電点の数が非常に多い場合には、各放電点の特性にばらつきがある為、消去パルス EP の設定範囲が狭いものとなる。即ち消去動作マージンを大きくすることができないものであった。

本発明は前述の如き従来の欠点を改善した新規な発明であり、その目的は消去動作マージンを著しく大きくし得る駆動方式を提供することにある。

以下実施例について詳細に説明する。

前述のパルス PP 、消去パルス EP のパルス幅等は、例えば $\tau_1 = 1 \sim 8 \mu\text{sec}$ 、立上り時間（波高値の10%から90%に達する時間） $= 500 \mu\text{sec} \sim 8 \mu\text{sec}$ 、 $\tau_2 = 0 \sim 2 \mu\text{sec}$ 、 $\tau_3 = 0 \sim 4 \mu\text{sec}$ 、 $\tau_4 = 2 \mu\text{sec}$ 以上、 $\tau_5 = 3 \mu\text{sec}$ 以上とすることができる。又消去パルス EP の波高値は $V_x \leq V_s$ とすることができる。前述の消去パルス EP のパルス幅 τ_3 が $0 \sim 4 \mu\text{sec}$ で0を含む意味は、パルス PP の立上り特性によつては消去パルス EP を省略しても消去動作が行なわれることを示すものである。

立上りの緩いパルス PP と壁電圧との関係を説明すると、第4図に示すように、サステインパルスにより V_{q2} の壁電圧が生じた場合、パルス PP が十分に立上らないうちに放電が生じて壁電圧は一点鎖線で示すように反転するが、そのレベルは低いものとなる。又サステインパルスにより $V_{q2} > V_{q1}$ の壁電圧 V_{q1} が生じた場合は、パルス PP の立上り途中で放電が生じ、点線で示すように壁電圧が反転する。そして消去パルス EP により壁電圧が消去される。このように、放電点の特性の相違

第3図は本発明の実施例の駆動波形を示すもので、前述の従来例と同様に、波高値が V_s と V_M との段差のある波形のサステインパルスを X 電極に印加し、波高値 V_s のサステインパルスを Y 電極に印加するものであるが、消去動作時は消去パルス EP も全 Y 電極に印加し、その消去パルス EP の前に、抵抗ダイオード・マトリクス回路を介して選択された X, Y 電極にパルス P_x, P_y をそれぞれ印加するものである。

従つて選択された放電点には V_q で示すように、パルス PP が印加された後にそのパルス PP と逆極性で消去パルス EP が印加される。このパルス PP は抵抗ダイオード・マトリクス回路を介して印加されるので、立上りは緩いものとなり、このパルス PP によつて形成される壁電圧 V_q は適当な大きさとなつて、次の消去パルス EP により確実に消去されるものとなる。又パルス PP が印加されない放電点では、消去パルス EP の極性とその前のサステインパルスの極性とは同じであるから消去されない。

に対応してサステインパルスによる壁電圧が相違していても、立上りの緩いパルス PP により、壁電圧はほぼ同じレベルのものとなる。従つて放電点の特性にばらつきがあつても消去パルス EP によつて確実に消去することができる。

又壁電圧が V_{q3} の如く更に低レベルのものである場合、パルス PP が十分に立上つた時点で放電が生じるが、その放電が生じて壁電圧が形成されないうちにそのパルス PP が立下つてしまうことになり、消去パルス EP を印加する前に消去動作が行なわれることになる。このようにパルス PP の立上り特性と壁電圧 V_q のレベルとの関係によつては、消去パルスを印加する必要が生じない場合もある。換言すれば、立上りの緩いパルス PP とそのパルス PP の次に極性が反転した消去パルスを印加することにより、放電点の特性のばらつきがあつたとしても確実に消去動作を行なわせることができる。

第5図は本発明の実施例の要部回路図であり、電極 $\#1 \sim \#4$ 、 $\#1 \sim \#4$ を有するガス放電パネル P

DPに加えるサステインパルスはトランジスタ QX1~QX3, QY1, QY2 が所定のタイミングでオン、オフすることによつて、第3図に示すような波形となるものである。

消去時は、例えば電極 #3, #2 の交点の放電点 α のみ消去するときは、デコーダ DEC の出力によつて、トランジスタ QX7, QX5, QY4, QY8 がオンとなり、又タイミング信号によつてトランジスタ QX4, QX9, QY6, QY9 がオンとなる。トランジスタ QX9, QX7 を介して V_s の電圧が抵抗ダイオード・マトリクス回路の抵抗を通して電極 #3, #4 に印加されるが、トランジスタ QX4, QX5 とダイオードとを介して電極 #2, #4 が接地されるので、電極 #3 にのみ第3図の VX の電圧中のパルス P_x が印加されることになる。

又トランジスタ QY9, QY8 とダイオードとを介して電極 #1, #3 に V_s の電圧が印加され、トランジスタ QY4, QY6 と抵抗ダイオード・マトリクス回路の抵抗とを介して電極 #1, #2 が接地される。このとき、既に電極 #1~#4 にはトランジスタ Q

Y1 を介して V_s の電圧が印加されているので、電極 #1, #3, #4 は V_s の電位を保持し、電極 #2 のみ抵抗を介して接地されるので、第3図の VY のパルス P_y が印加された状態となる。

次にトランジスタ QX3, QY2, QY3 がオンとなつて各電極 #1~#4, #1~#4 は零電位となり、次にトランジスタ QY1, QX3 がオンとなつて V_s の電圧が電極 #1~#4 に印加され、消去パルスのパルス幅の時間後に、トランジスタ QY2, QX3 がオンとなつて、 $V_x = V_s$ の消去パルス EP が電極 #1~#4 に印加されることになる。しかし、選択された放電点 α に対してのみ消去パルス EP の前にその消去パルス EP と極性が反対のパルス PP が印加されるので、前述の如き作用により消去動作が行なわれる。

他の放電点の消去は、デコーダ DEC の出力に対応してトランジスタ QX5~QX8, QY4, QY5, QY7, QY8 が動作して、抵抗ダイオード・マトリクス回路の抵抗を介して立上りの緩いパルス PP が印加され、そのパルス PP の次に印加される消去

パルスによつて確実に消去動作が行なわれるものとなる。又消去パルス EP は抵抗を介して印加されるものではないので、その立上りを急峻なものとする事ができる。

前述の電極の静電容量と抵抗ダイオード・マトリクス回路の抵抗とによつても立上りが充分に遅いパルス PP を印加することができないときには、更にコンデンサや抵抗を追加接続したり、又はトランジスタ QX4~QX9, QY4~QY9 を動作速度の遅いものを用いれば所望の波形のパルス PP を印加することができる。又サステインパルスの波形は通常の V_s の波高値を有するものとする事も可能である。

以上説明したように、本発明は、パルス PP を消去すべき放電点にのみ印加し、消去パルス EP は全放電点に印加するものであつて、抵抗ダイオード・マトリクス回路等を介して選択的に印加するパルス PP は自動的に立上りの緩いものとなり、~~或は消極的に立上りの緩いものとなり、或は消極的に立上りの緩いものとし、~~その次にパルス PP

と反対極性の消去パルス EP は全放電点に印加するものであるから、抵抗ダイオード・マトリクス回路等の抵抗を介して印加されるものではない~~か~~。急峻な立上りのものとなり、パルス PP により壁電圧 V_0 のレベルを放電点の特性のばらつきに関係なく、次の消去パルス EP により消去し得るようにすることができ、従つて消去動作マージンを増大することができる。又パルス PP の立上りの緩さによつても、このパルス PP によつて消去状態となるので、消去パルス EP は更に確実な消去を行なわせるものとなり、大型のガス放電パネルの如く放電点の特性にばらつきが多くなる可能性のある場合に於いても確実な消去を行なわせることができる。

4. 図面の簡単な説明

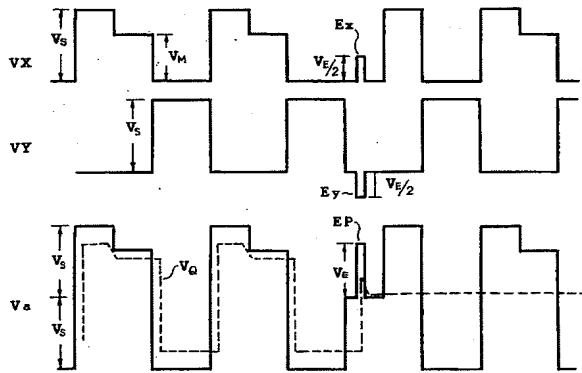
第1図は従来の消去動作の説明用波形図、第2図は電極配置説明図、第3図は本発明の実施例の動作説明用波形図、第4図はパルス PP の立上り波形と消去パルス EP との説明図、第5図は本発明の実施例の要部回路図である。

PP は選択放電点に印加するパルス、EP は消去パルス、PDP はガス放電パネル、x1~x4, y1~y4 は電極、DEC はデコーダ、QX1~QX9, QY1~QY9 はトランジスタである。

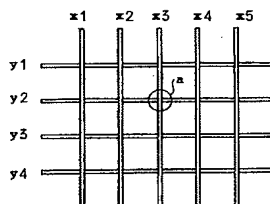
特許出願人 富士通株式会社

代理人 弁理士 玉 島 久 五 郎
(外 3 名)

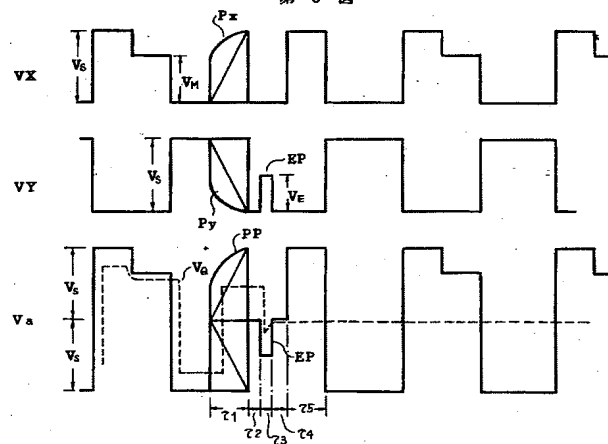
第 1 図



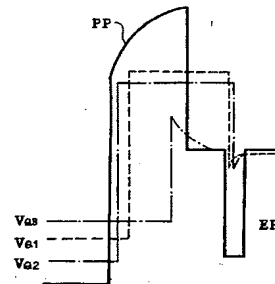
第 2 図



第 3 図



第 4 図



第 5 図

